

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094062

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 27/12
// H03H 3/02

(21)Application number : 2000-245928

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 14.08.2000

(72)Inventor : JAMES F ZIGLER

(30)Priority

Priority number : 1999 375940

Priority date : 17.08.1999

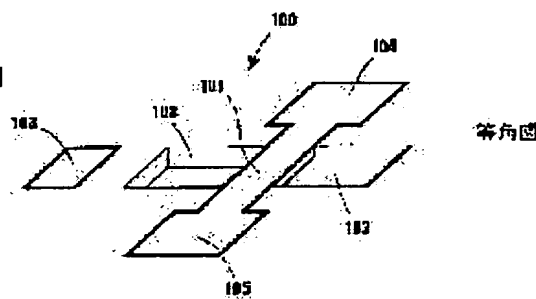
Priority country : US

**(54) METHOD FOR MANUFACTURING SINGLE-CRYSTAL RESONANCE DEVICE
COMPATIBLE WITH WORKING TREATMENT OF INTEGRATED CIRCUIT**

(57)Abstract:

PROBLEM TO BE SOLVED: To provide manufacturing procedures in which an MEMS device, to be described in detail, a band-pass filter resonator is constructed by a method which is compatible with existing treatment of an integrated circuit.

SOLUTION: A final device is constructed of single-crystal silicon, and a mechanical problem which is related to the use of polycrystalline silicon or amorphous silicon is excluded. A final MEMS device is situated in a part lower than the surface of silicon, it does not comprise a protruding structure, and an integrated circuit can be treated further. The MEMS device has a size which approximates that of an SRAM cell, and it can be built easily into an existing integrated-circuit chip. The natural frequency of the device can be changed in post-treatment, or it can be controlled electronically by using a voltage and a current, which are compatible with the integrated circuit.



等角図

LEGAL STATUS

[Date of request for examination]

14.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3542029
[Date of registration] 09.04.2004
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号 V
特開2001-94062
(P2001-94062A)

(43)公開日 平成13年4月6日(2001.4.6)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テマコード*(参考) |
|--------------------------|------|---------------|------------|
| H 0 1 L 27/04 | | H 0 1 L 27/12 | Z |
| 21/822 | | H 0 3 H 3/02 | B |
| 27/12 | | H 0 1 L 27/04 | A |
| // H 0 3 H 3/02 | | | |

審査請求 有 請求項の数32 O L (全 14 頁)

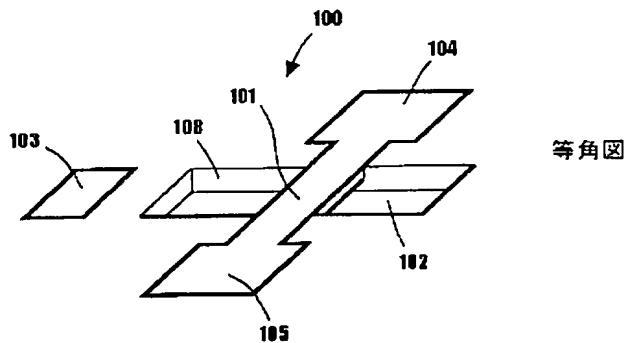
| | | | |
|-------------|-----------------------------|---------|---|
| (21)出願番号 | 特願2000-245928(P2000-245928) | (71)出願人 | 390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし) |
| (22)出願日 | 平成12年8月14日(2000.8.14) | (72)発明者 | ジェームズ・エフ・ズィーグラ アメリカ合衆国10598 ニューヨーク州 ークタウン・ハイツ ハノーバー・ストリート 661 |
| (31)優先権主張番号 | 09/375940 | (74)代理人 | 100086243 弁理士 坂口 博 (外2名) |
| (32)優先日 | 平成11年8月17日(1999.8.17) | | |
| (33)優先権主張国 | 米国 (U S) | | |

(54)【発明の名称】 集積回路加工処理と両立する単結晶共振装置の製造方法

(57)【要約】

【課題】 MEMS装置、詳細には帯域フィルタ共振子を現行の集積回路処理と両立する方法で構築する製作手順を提供すること。

【解決手段】 最終的な装置は単結晶シリコンから構築され、多結晶シリコンまたはアモルファス・シリコンの使用に関連した機械的な問題が排除される。最終的なMEMS装置はシリコン表面よりも下にあり、突出した構造がなく、集積回路のさらなる処理が可能である。MEMS装置はだいたいSRAMセルの大きさであり、既存の集積回路チップに容易に組み込むことができる。装置の固有振動数を後処理で変更したり、または集積回路と両立する電圧および電流を使用して電子的に制御することが可能である。



【特許請求の範囲】

【請求項 1】シリコン・オン・インシュレータ（SOI）基板上に形成された単結晶シリコンの集積回路共振子装置を構築する方法であって、

a) 前記基板上に表面シリコン層および SiO_2 の中間層を形成する段階と、

b) 前記表面層において第 1 のマスク領域を開け、前記第 1 のマスク開口に対応する寸法を有する第 1 の導電構造を前記中間層の下の前記基板中に作成する段階と、

c) 前記第 1 の導電構造に対応する領域を横切って形成される共振子装置の寸法を有する第 2 のマスク領域を前記表面層において開け、前記共振子装置に対応する第 2 の導電構造を前記表面シリコン層中に作成する段階と、
 d) 前記共振子装置を形成する前記導電構造の第 1 のエッジおよび反対側のエッジにそれぞれ接する前記シリコン表面層中の第 1 および第 2 のサブエリア、ならびに前記その他の 2 つの穴から間隔を置いて配置された第 3 のサブエリアの穴を含む第 3 のマスク領域を開ける段階であって、前記第 1、第 2 および第 3 のサブエリアが前記第 1 のマスク開口によって空間的に制限された寸法を有する段階と、

e) それぞれの前記第 1 および第 2 のサブエリアにおいて前記表面シリコン層を下方にエッチングして前記中間層を露出させる穴を形成し、前記第 3 のサブエリアにおいて前記表面シリコンおよび中間層をエッチングして前記第 1 の導電構造を露出させる穴を形成する段階と、

f) 前記第 1 の導電構造への信号入力を可能にするために前記第 3 のサブエリアにおいて形成された前記穴に導電性金属を付着させる段階と、

g) 前記第 1 および第 2 のサブエリアに形成されたそれぞれの前記穴における前記中間層を下方にエッチングして、前記第 2 の導電構造の両側および下方の前記中間層を除去し、前記第 1 の導電構造を露出させる段階を含む、

前記共振子装置を形成する前記第 2 の導電構造が全体的に前記シリコン層の表面と同じ高さにあるか、またはこれよりも下にあり、前記第 1 の導電構造における入力信号を前記共振子に容量結合することによって動作する方法。

【請求項 2】前記基板中に第 1 の導電層を作成する段階 b) がイオン注入技法を実施する段階を含む、請求項 1 に記載の方法。

【請求項 3】前記第 2 のマスク領域を開ける前記段階 c) が、前記第 1 の開口の両側の前記シリコン表面中の第 1 および第 2 の端部接触領域、ならびに前記端部領域の間に形成されこれらを接続する共振子領域を含む共振子構造を開ける段階を含む、請求項 1 に記載の方法。

【請求項 4】前記共振子構造に対応する第 2 の導電層を前記表面シリコン層中に作成する段階 c) がイオン注入技法を実施する段階を含む、請求項 1 に記載の方法。

【請求項 5】第 1 のマスク、第 2 のマスクおよび第 3 のマスクに開口を開ける前記段階 b) ~ d) がフォトリソグラフィ技法を実施する段階を含む、請求項 1 に記載の方法。

【請求項 6】前記共振子装置の帯域通過周波数特性を変更するために前記第 2 の導電構造の密度を変化させる段階をさらに含む、請求項 1 に記載の方法。

【請求項 7】前記共振子装置を形成する前記第 2 の導電構造の密度を変化させる前記段階が、前記共振子装置の材料の密度を下げ、前記共振子装置の帯域通過周波数特性を高くするために軽い中性原子をイオン注入する段階を含む、請求項 6 に記載の方法。

【請求項 8】前記共振子装置を形成する前記第 2 の導電構造の密度を変化させる前記段階が、前記共振子装置の材料の密度を高め、前記共振子装置の帯域通過周波数特性を低くするために重い中性原子をイオン注入する段階を含む、請求項 6 に記載の方法。

【請求項 9】前記第 2 の導電構造の内部結合構造を変化させて前記共振子装置の帯域通過周波数特性を変更するためにイオン注入技法を実施する段階をさらに含む、請求項 1 に記載の方法。

【請求項 10】前記共振子装置の厚さを薄くし、前記共振子装置の帯域通過周波数特性を低くするために熱酸化およびエッチング技法を実施する段階をさらに含む、請求項 1 に記載の方法。

【請求項 11】前記共振子装置の厚さを厚くし、前記共振子装置の帯域通過周波数特性を高くするためにエピタキシャル・シリコン成長技法を実施する段階をさらに含む、請求項 1 に記載の方法。

【請求項 12】前記共振子装置の厚さを厚くし、前記共振子装置の帯域通過周波数特性を高くするために表面層を付着させる段階をさらに含む、請求項 1 に記載の方法。

【請求項 13】前記集積回路共振子装置に後段の平坦化および金属被覆段階を実行する段階をさらに含む、請求項 1 に記載の方法。

【請求項 14】前記集積回路共振子装置の帯域通過周波数特性を広げるため、前記共振子装置を多結晶シリコンまたはアモルファス・シリコンのいずれかに変換することを可能にするためにシリコン原子のイオン注入段階をさらに含む、請求項 1 に記載の方法。

【請求項 15】a) その上に形成された上部表面シリコン層および SiO_2 の中間層を含む基板と、

b) 入力電気信号を受け取るために前記表面シリコン層において形成された導電コンタクトと、

c) 前記シリコン表面中に形成され、前記入力コンタクトを接続した底面導電層を有する開いたウェル構造と、

d) 前記表面シリコン層において形成され、前記ウェル構造を横切って位置する共振子構造を含み、

前記共振子装置を所望の振動数で垂直方向に振動させる

3

ことを可能にするため、入力信号が前記底面導電層から前記共振子構造に容量結合される集積回路帯域フィルタ装置。

【請求項 16】前記共振子構造が、前記開いたウェル構造の一方の側の表面に形成され、入力信号を前記所望の振動数でさらに伝搬させる第 1 の導電コンタクトを含む、請求項 14 に記載の装置。

【請求項 17】前記共振子構造が、前記開いたウェル構造の反対側の表面に形成され、前記共振子構造を加熱しその振動数を変化させるための電氣的刺激の注入を可能にする第 2 の導電コンタクトを含む、請求項 15 に記載の装置。

【請求項 18】前記共振子構造が、帯域通過周波数を変更するために炭素原子、ゲルマニウム、ホウ素およびヒ素を含むグループから選択された 1 種の材料を含む、請求項 15 に記載の装置。

【請求項 19】a) その上に形成された上部表面シリコン層および SiO_2 の中間層を含む基板と、

b) 前記表面シリコン層中に形成された開いたウェル構造と、

c) 入力電気信号を受け取るために前記開いたウェル構造層の一方の端の近くの前記表面シリコン層に形成された導電性コンタクトであって、前記開いたウェル構造の上に延びる前記表面シリコン層のコンタクト部分を含むコンタクトと、

d) 前記表面シリコン層において形成され、前記コンタクト延長部分の近くで前記ウェル構造を横切って位置する共振子構造を含み、

前記共振子装置を所望の振動数で水平方向に振動させることを可能にするため、入力信号が前記コンタクト延長部分から前記共振子構造に容量結合される集積回路帯域フィルタ装置。

【請求項 20】前記共振子構造が、前記開いたウェル構造の一方の側の表面に形成され、入力信号を前記所望の振動数でさらに伝搬させる第 1 の導電コンタクトを含む、請求項 18 に記載の装置。

【請求項 21】前記共振子構造が、前記開いたウェル構造の反対側の表面に形成され、前記共振子構造を加熱しその振動数を変化させるための電氣的刺激の注入を可能にする第 2 の導電コンタクトを含む、請求項 19 に記載の装置。

【請求項 22】前記共振子構造が、帯域通過周波数を変更するために炭素原子、ゲルマニウム、ホウ素およびヒ素を含むグループから選択された 1 種の材料を含む、請求項 19 に記載の装置。

【請求項 23】シリコン・オン・インシュレータ (SOI) 基板上に形成された単結晶シリコンの集積回路共振子装置を構築する方法であって、

a) 前記基板上に上部表面シリコン層および SiO_2 の中間層を形成する段階と、

4

b) 形成する共振子装置の寸法を有する第 1 のマスク領域を前記表面層において開け、前記共振子装置に対応する導電構造を前記表面シリコン層中に作成する段階と、

c) 前記共振子装置を形成する前記導電構造の第 1 のエッジおよび反対側のエッジにそれぞれ接する前記シリコン表面層中の第 1 および第 2 のサブエリアを含む第 2 のマスク領域を開ける段階と、

d) 前記第 1 および第 2 のサブエリアにおける前記表面シリコン層および前記中間層を下方にエッチングして、前記導電構造の両側および下方の前記中間層を除去し、ウェル構造を形成する段階と、

e) 前記導電構造の下の前記ウェル構造の底面に金属層を付着させることによってコンタクトを形成する段階を含み、

前記共振子装置が全体的に前記シリコン層の表面と同じ高さにあるか、またはこれよりも下にあり、前記第 1 の導電構造における入力信号を前記共振子に容量結合することによって動作する方法。

【請求項 24】前記共振子装置の帯域通過周波数特性を変更するために前記第 2 の導電構造の密度を変化させる段階をさらに含む、請求項 23 に記載の方法。

【請求項 25】前記共振子装置を形成する前記第 2 の導電構造の密度を変化させる前記段階が、前記共振子装置の材料の密度を下げ、前記共振子装置の帯域通過周波数特性を高くするために軽い中性原子をイオン注入する段階を含む、請求項 24 に記載の方法。

【請求項 26】前記共振子装置を形成する前記第 2 の導電構造の密度を変化させる前記段階が、前記共振子装置の材料の密度を高め、前記共振子装置の帯域通過周波数特性を低くするために重い中性原子をイオン注入する段階を含む、請求項 24 に記載の方法。

【請求項 27】前記第 2 の導電構造の内部結合構造を変化させて前記共振子装置の帯域通過周波数特性を変更するためにイオン注入技法を実施する段階をさらに含む、請求項 23 に記載の方法。

【請求項 28】前記共振子装置の厚さを薄くし、前記共振子装置の帯域通過周波数特性を低くするために熱酸化およびエッチング技法を実施する段階をさらに含む、請求項 23 に記載の方法。

【請求項 29】前記共振子装置の厚さを厚くし、前記共振子装置の帯域通過周波数特性を高くするためにエピタキシャル・シリコン成長技法を実施する段階をさらに含む、請求項 23 に記載の方法。

【請求項 30】前記共振子装置の厚さを厚くし、前記共振子装置の帯域通過周波数特性を高くするために表面層を付着させる段階をさらに含む、請求項 23 に記載の方法。

【請求項 31】前記集積回路共振子装置に後段の平坦化および金属被覆段階を実行する段階をさらに含む、請求項 23 に記載の方法。

【請求項 3 2】前記集積回路共振子装置の帯域通過周波数特性を広げるため、前記共振子装置を多結晶シリコンまたはアモルファス・シリコンのいずれかに変換することを可能にするためにシリコン原子のイオン注入段階をさらに含む、請求項 2 3 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路共振装置を製作するシステムおよび方法を対象とし、詳細にはマイクロ・エレクトロメカニカル・システム (MEMS) 技術を使用して現行の集積回路製造技法と矛盾しない方法で単結晶シリコン・オン・インシュレータ (SOI) ウェーハ上に集積回路 (IC) 帯域フィルタを製造するプロセスを対象とする。

【0002】

【従来の技術】マイクロ・エレクトロメカニカル・システム (MEMS) 技術は現在、さまざまな UHF および IF 通信回路用の狭帯域フィルタ (高 Q フィルタ) の製造に対して実施されている。これらのフィルタは、微小共振子 (micro-resonator) の固有振動数を使用して正確にその周波数の信号を通過させ、その他の周波数の信号および雑音を減衰させる。図 1 に、コンタクト 1 3 まで延びた導電性プレーナ入力構造 1 2 の上に浮遊した例えば多結晶またはアモルファス材料製の半導電性共振子構造 1 1 を備える従来の MEMS 帯域フィルタ装置 1 0 を示す。入力 1 2 上の交流電気信号によって共振子 1 1 上に影像電荷が形成され、信号は引きつけられ、下方へ偏向する。交流信号の周波数が共振子の固有機械振動数に類似の場合、共振子は振動し、影像電荷は強められ、伝送される AC 信号が増大する可能性がある。電氣的振動と機械的振動のメッシングによって所望の周波数が選択的に分離され、後段の信号増幅および操作に伝送される。その動作特性を変化させることなくこの装置の入力端子と出力端子を逆にすることができることを理解されたい。

【0003】一般に共振子フィルタ装置 1 0 は、標準的な集積回路マスキング/付着/エッチング・プロセスによって製作される。MEMS 帯域フィルタの製造および構造に関する詳細は以下の参考文献に出ている。1) C. T. -C. Nguyen, L. P. B. Katehi and G. M. Rebeiz 「Micromachined Devices for Wireless Communications」Proc. IEEE, 86, 1756-1768、2) J. M. Bustillo, R. T. Howe and R. S. Muller 「Surface Micromachining for Microelectromechanical Systems」, Proc. IEEE, 86, 1552-1574 (1998)、3) C. T. -C. Nguyen, 「High-Q Micromechanical Oscillators and Filters for Communications」, IEEE Intl. Symp. Circ. Sys., 2825-2828 (1997)、4) G. T. A. Kovacs, N. I. Maluf and K. E. Petersen, 「Bulk Micromachining of Silicon」, Proc. IEEE 86, 1536-1551 (1998)、5) K. M. Lakin, G. R. Kline and K. T. McCarron, 「De-

velopment of Miniature Filters for Wireless Applications」, IEEE Trans. Microwave Theory and Tech., 43, 2933-2939 (1995)、6) A. R. Brown, 「Micromachined Micropackaged Filter Banks」, IEEE Microwave and Guided Wave Lett., 8, 158-160 (1998)。

【0004】参考文献 7) N. Cleland and M. L. Roukes, 「Fabrication of High Frequency Nanometer Scale Mechanical Resonators from Bulk Si Crystals」, Appl. Phys. Lett., 69, 2653-2655 (1996) には、単結晶共振子を帯域フィルタとして使用することの利点が記載されている。参考文献 8) C. T. -C. Nguyen, 「Frequency-Selective MEMS for Miniaturized Communication Devices」, 1998 IEEE Aerospace Conf. Proc., 1, 455-460 (1998) および 9) R. A. Syms, 「Electrothermal Frequency Tuning of Folded and Coupled Vibrating Micromechanical Resonators」, J. MicroElectroMechanical Sys., 7, 164-171 (1998) はともに、マイクロメカニカル帯域フィルタの安定性に対する熱の影響を論じている。これらの参考文献でも触れられているように、MEMS 帯域フィルタを製作する既存のプロセスが重大な欠点を有することを知っておくことは重要である。例えば、製作を簡単にするためほとんどの共振子は多結晶またはアモルファス材料から作られているため、前述の参考文献 1) ～ 3) で述べられているように固有振動数を変え易くする (soften) 機械的なエネルギーの散逸の増大が見られる。多結晶材料をエッチングしても装置フィーチャを多結晶粒子のサイズよりも小さくすることはできず、そのため表面が粗くなり、正確な機械特性が妨げられる。例えば前述の参考文献 1) および 2) はともに、MEMS 共振子で多結晶材料を使用するときに直面する問題を詳細に述べている。さらに参考文献 7) には、複雑なドライエッチング技法を使用して単結晶共振子を得る試みについての記述を含む単結晶シリコン製共振子の構築が記載されている。この参考文献は、このような共振子構造が、最終的な機械性能の精度を多結晶構造のそれにまで低減させる波打った (scalloped) エッジを有することを報告している。すなわちそれらのエッチング・プロセスでは多結晶材料のそれと同様の表面粗さが生じた。

【0005】単結晶シリコンを使用するその他の試みが参考文献 4) で検討されているが、これらの試みは、多結晶材料を構築に使用したときの不十分な装置性能を排除するために実施されたものである。ほとんどが、異方性エッチングを使用して単結晶シリコン表面をアンダーカットし、共振子 (およびその他の構造) を構築したものである。装置性能に対する表面粗さおよび非平行表面の影響を最小化するためもあり、全ての場合で構造が非常に大きくなった。装置が非常に大型なため、それらが有用となるのは低周波応用 (100 MHz 未満) に対してだけであり、300 ～ 6000 MHz の商用帯域の通信周波数フィルタとしての有用性は限られたものであつ

た。

【0006】全てのMEMS帯域通過構造のさらなる限界はそれらがシリコン表面よりも上に形成されることである（参照文献1～9参照）。このことが「平坦化（planarization）」を妨げるため、これらの構造を、標準的な集積回路製作と両立しないものになっている。集積回路の装置群を製作した後、ウェーハは、「金属被覆（metallization）」および「平坦化」と呼ばれるその最終的な処理に入る。この段階の前にはウェーハ上の全ての装置は分離されており、集積化のためにはこれらを金属線で接続しなければならない。最新の装置では配線が、それぞれがある方向の配線を含む一連の層として実施される（すなわち金属被覆）。それぞれの層を付着させた後、後続の配線層をなめらかな表面上に付着させることができるようにウェーハ表面をなめらかにする、すなわち平坦化する。平坦化は一般に、化学機械研磨（CMP処理）または表面の上にガラス薄層を融解させることによって実施される。表面より上へ突き出たマイクロメカニカル装置がある場合、それは、前述のいずれの平坦化プロセスによっても即座に破壊されるであろう。

【0007】米国特許第3634787号（1972）、米国特許第3983477号（1976）および米国特許第4232265A号（1980）に記載されているものなどの特許を受けた追加の従来技術の装置は、類似の機械共振子型（resonated）構造を記載しているが、それらは集積回路処理と両立しない。

【0008】例えば米国特許第3634787号は、半導体材料の単一構造体であり、圧電電界効果変換器をその中に有する支持体から成る機械構成要素を有する電気機械共振子帯域フィルタ装置を記載している。したがってその電氣的動作は圧電効果に依存する。米国特許第3983477号は、高電圧電流が流れる導体の近くに位置する強磁性素子同調発振器を記載しているが、そのためその電氣的動作は強磁性効果に依存する。米国特許第4232265A号は、磁界または電磁界の強度を電気信号に変換する装置であって、可動部品が強磁性プレートとして作られた装置を記載している。同様にその電氣的動作は強磁性効果に依存する。米国特許第5594331号は、共振通過帯域に誘導された可変周波数電圧信号を処理するために共振子に接続された自励回路を記載しており、これは電力線センサとしての使用の一例である。同様に米国特許第5695491号は、物理現象に応答してその物理現象に対応する誘導された可変周波数電圧信号を生成し、したがって現行の集積回路製作技術による製造に適さないマイクロエレクトロメカニカル共振子を記載している。

【0009】したがって現行の集積回路製作技法と矛盾せず、前述の限界を完全に除去する、または大幅に低減する方法でIC MEMS帯域フィルタ装置を構築することが非常に望ましいと言える。

【0010】

【発明が解決しようとする課題】本発明の目的は、現行のIC製造技法に基づく製造に適し、前述の参照文献に概示されている基本的な弱点を克服する構造の改良型IC MEMS共振子帯域フィルタ装置を提供することにある。

【0011】

【課題を解決するための手段】具体的には、本発明の一態様によれば、単結晶シリコンから構築された共振子型MEMS帯域フィルタ装置が提供され、多結晶材料またはアモルファス材料の使用に関連した機械的な問題が排除される。最終的なMEMS装置はシリコン表面よりも下にあり、突出した構造がなく、集積回路のさらなる処理が可能である。MEMS装置はだいたいSRAMセルの大きさであり、既存の集積回路チップに容易に組み込むことができる。装置の固有振動数を後処理で変更したり、または集積回路と両立する電圧および電流を使用して電子的に制御することが可能である。

【0012】本発明の他の態様によれば、現行の集積回路処理と両立する方法で共振子型MEMS帯域フィルタ装置を構築するこのようなMEMS装置の新規な製作技法が提供される。

【0013】本発明の装置および方法のさらなる特徴、態様および利点は、以下の説明、添付の請求項および添付図面をよく検討することによっていっそう理解されよう。

【0014】

【発明の実施の形態】図2および図3に、本発明の第1の実施形態に基づいて製造された新規な共振子型MEMS帯域フィルタ装置100の等角図および側面図をそれぞれ示す。図2および図3に示すようにこの装置は、受信した電気信号を接続106を介して底部プレーナ・コンタクト102に送る入力コンタクト103を有するように製作される。シリコン表面にウェル108が作られ、共振子101がこのウェルをまたぎ、自由に振動する。共振子101は出力パッド105に電氣的に接続され、出力パッド105はフィルタリングされた最終的な信号を伝搬する。入力コンタクト103は共振子101に容量結合され、そのため入力信号によって共振子は、図3の矢印Aで示すように垂直方向に振動する。共振子は、その寸法および材料に基づく固有振動数を有し、この振動数（またはその倍振動）の信号はこの共振子を介して出力端子105に優先的に伝搬される。装置の固有振動数は、共振子を加熱しその弾性定数を変化させることによって調整することができる。これは、電流を共振子を介してパッド105に送り、その結果として共振子を加熱するように機能するパッド104を製作することによって達成することができる。

【0015】参照文献H. J. McSkimi, J. Appl. Phys., 24, 988 (1953) およびYu. A. Burenkov and S. P. Nikanoro

v, Sov. Phys. Sol. State, 16, 963 (1974) に記載されているとおり、単結晶シリコンの弾性定数は温度とともに変化する。さらに、参照文献 H. Guckel, Tech. Digest, IEEE Solid-State Sensor and Actuator Workshop, June, 1988, 96-99 に記載のとおり、多結晶シリコンの弾性定数も温度とともに変化する。これらの参照文献によれば、シリコンを 100℃ 加熱すると弾性定数は約 0.9% 変化し、これによって共振子の固有振動数を約 0.4% 変化させることができる。このため固有振動数 1 GHz では、共振子の温度を制御することによって 4 MHz の調整帯域が得られる。このような振動数変化の測定は、従来の技法に基づいて実施することができる（前述の参照文献 8 および 9 参照）。本発明によればこの熱特性を使用して、装置を調整しその性能および柔軟性を向上させる。

【0016】図 4 および図 5 に、本発明の第 2 の実施形態に基づいて製造された新規な共振子型 MEMS 帯域フィルタ装置 110 の等角図および側面図をそれぞれ示す。先の図 2 では、共振子型 MEMS 帯域フィルタ装置 100 が、入力コンタクトが導電性パッドを有する下部接触面に接続された構造を有していた。図 4 では金属コンタクト 117 が、共振子 111 を保持するウェル 108 の表面から底面に向かって降ろされている。出力信号パッド 105 および調整パッド 104 は、図 2 に示したものと同種である。図 3 の場合と同様に共振子はやはり、図 5 の矢印 B で示すように垂直方向に振動する。

【0017】図 6 および図 7 に、本発明の第 3 の実施形態に基づいて製造された新規な共振子型 MEMS 帯域フィルタ装置 110 の等角図および側面図をそれぞれ示す。図 6 に示す実施形態では、入力コンタクト 129 および入力コンタクトの延長部分 130 が共振子 121 と同じ平面に形成され、したがって図 2、図 3 および図 4、図 5 に示した設計では必要な共振子の下方の接触面を製作する必要がなくなる。ここで共振子 121 は、図 7 の矢印 C で示すように垂直ではなく水平に振動する。この設計は、3 つの変形形態の中で製作が最も簡単であるが、振動方向の共振子のエッジの表面が粗いために機械性能が低下する。図 2 および図 4 の設計では、共振子が基板の表面に対して垂直に振動し、上面および下面が、SOI プロセスで生み出さる最高のなめらかさを有する（通常は < 20 nm）。しかし図 6 の共振子設計ではこれらの表面を、エッジ画定の粗さが現在のところ約 100 nm に制限されたフォトリソグラフィによって画定する必要がある。

【0018】本発明によれば、それぞれの前記 MEMS 共振子帯域フィルタ装置を製作するのに使用するプロセスでは、出発材料としてシリコン・オン・インシュレータ（SOI）基板を利用する。この材料は、SiO₂ および単結晶シリコンの薄層をその表面に有するシリコン・ウェーハから成る（単結晶シリコンが最外層であ

る）。このようなウェーハは市販されており、さまざまな技法を使用して製作される。本明細書に記載のプロセスは、一部だけを SOI 材料で覆ったシリコン・ウェーハにも適用可能であることを理解されたい。これらのウェーハは、マスクを使用することによって表面の小領域だけを変換して分離された SOI 材料領域を形成する、広く知られた SIMOX プロセス（Separation by Implanted Oxygen）を使用して構築される。

【0019】SOI ウェーハは一般に、一番上の単結晶シリコンの厚さを約 200 nm、SiO₂ の厚さを約 400 nm、基板の厚さを数百ミクロンにして構築される。その他の層厚の SOI 基板も使用可能であり、全てが本明細書に記載のプロセスと両立する。

【0020】図 8～図 18 に、SOI MEMS 装置、例えば図 2 に示した共振子構造 100 を製造するプロセス段階を示す。

【0021】図 8 の断面図に示すように、表面シリコン層 202 および SiO₂ の中間層 212 を基板シリコン 222 の上に有するクリーンな p 型 SOI ウェーハ 200 を用意する。議論の目的上、表面シリコン層 202 の厚さが約 200 nm、中間 SiO₂ 層 212 の厚さが約 400 nm、シリコン基板 222 が抵抗率公称 10 Ω・cm の p 型シリコンであると仮定する。これらの厚さの指定は装置の構築にとってそれほど重要ではなく、例示のために使用しているに過ぎないことを理解されたい。次に図 9 に示すように、厚いフォトレジスト層 223 をシリコンの表面に塗布し、フォトリソグラフィを実施して例えば約 4 mm × 1 mm の長い長方形の開口 225 を開ける。次いで図 10 の断面図に示すように、開口 225 を通してリン・イオンを、例えばドーズ量 10¹⁵/cm²、440 KeV で注入し、SiO₂ 層 212 のすぐ下の基板 222 中にマスク 223 によって空間的に制限された n⁺ 層 224 を作成する。n⁺ リン層 224 は、結果として得られる共振子帯域フィルタ装置の埋込み導電層 224 を形成する。次いで図 11 に示すように古いフォトレジスト層 223（図 10）を除去し、フォトリソグラフィを使用して第 2 の開口 235 を作成できるように新しいフォトレジスト・コーティングを塗布する。この第 2 の開口 235 は、共振子 226 およびその電気コンタクト 227、228 に対応し、点線の長方形によって示す先の開口 225 に関係付けられている。次に図 12 に示すように、開口 235 を通してホウ素イオンをドーズ量 10¹⁵/cm²、15 KeV で注入し、シリコン層 202 の共振子 226 を構築する部分に p⁺ 層を作成する。この時点でこの古いフォトレジストを除去する。さらにこの時点で、注入による放射損傷を除去し、B（ホウ素）および P（リン）不純物を活性化するためにウェーハをアニールしてもよい。アニール・プロセスは一般に、950℃ フォーミング・ガス中で 30 分間実施することができる。

【0022】次の段階では、フォトリソグラフィ技法を使用して図13に示すように表面に3つの長方形の穴230、231および232を開けることができるように新しいフォトレジスト・コーティングを塗布する必要がある。これらの3つの穴は先に開けた長方形225の内側にフィットする。これらの3つの穴は共振子に対して、3つの穴230～232の存在によって露出した表面シリコン202を貫通して実施される後段のエッチング・プロセスで、共振子のホウ素注入領域226が図14に示すようにシリコン表面層202の2つの穴231と232の間に挟まれるという関係にある。エチレンジメンピロカテコールピロジンEthylene-Dimene-PyroCatechol Pyrozone (EPPW) などのシリコン・エッチング液を使用することができるが、好ましい実施形態によれば、 $CF_4 + O_2$ (10%) を使用した反応性イオン・シリコン・エッチング (RIE) が使用される。このほうがよりはっきりとしたエッジが残るためである。この段階後の構造を図14に示す。この図には、共振子226および埋込み導電層224に対する3つの穴の関係が示されている。

【0023】次に図15に示すように、古いフォトレジストを除去し、フォトリソグラフィ技法を使用して元の長方形230 (図13参照) と実質的に整列した長方形233を開けることができるように新しいフォトレジスト・コーティングを塗布する。さらにエッチング・プロセスを実施して開口233を通してエッチングし、緩衝HFなどのエッチング剤を使用して SiO_2 層をリン注入層224まで除去する。

【0024】金属コンタクト234を形成するため、図16に示すように導電性金属、一般にTi (厚さ50nm) の次にAl (厚さ550nm) をウェーハ上に付着させる。詳細には、先のフォトレジスト層を除去し、これによって前段階でエッチングした穴233の内部に付着させた部分を除く全てのTiおよびAlをウェーハから除去する。したがって穴233は金属234で埋められ、表面201から埋込みリン注入層224への電気接触が可能となる。

【0025】次に図17に示すように、フォトリソグラフィ技法を使用して、先に製作した残りの2つの長方形開口231および232 (図13参照) と実質的に整列した2つの長方形の開口を開けることができるように新しいフォトレジスト・コーティングを塗布する。

【0026】最後に図18に示すようにエッチング・プロセスを実施し、エッチング剤、例えば緩衝HFを利用して穴231および232を通して SiO_2 層を下までエッチングする。このエッチングを、共振子226の下での SiO_2 (2つの開いた長方形231と232の間) が完全に除去され、図18の断面図に示すような共振子構造が残るようになるまで続けることが好ましい。他の回路要素への接続を除き、図2の基本的な帯域フィルタ

構造100は完成である。

【0027】動作時、図18に示すとおり入力信号は、金属層234に沿って深いコンタクト224まで導かれる。詳細には、この入力信号は埋込みリン層224に信号を伝送するリーチスルーコンタクト234である。この層はn型 (リンをドーパしたシリコン) であり、p型基板222から接合分離 (junction isolation) されている。層224は、入力信号を共振子226に容量結合し、これによって共振子226に固有機械振動数で振動し、出力電気パッド228に伝送される信号をフィルタリングすることが可能となる。詳細には信号は、それが共振子226の下にくるまで埋込み層224中を伝搬する。共振子中に映像電荷が誘導され、共振子は埋込み層に向かって機械的にひずむ。この構造の固有機械振動数で共振している電気信号に対して共振子は振動し、信号をp⁺ドーパ層を通して出力コンタクト228に容量的に伝搬させる。図11に示すように、振動数の調整に使用することができる第2のコンタクト227が共振子226の他端に置かれる。例えば、第2のコンタクト227に注入された例えば約10mAの小電流は共振子の温度を約150℃まで上昇させ、これによって共振子の固有振動数が変化し、帯域フィルタが調整される。

【0028】本明細書に記載した本発明の原理によれば、同様の手順を使用して、例えば図4～図7図3および4に示したものなどの先のMEMS共振子装置の変形形態を構築することができる。図4の共振子装置構造110の製造も同じであるが、先の図9および図10に示したリン注入段階を必要とせず、図15および図16に示したリーチスルー・エッチングおよび金属被覆段階も必要ないことは明らかである。この場合、最終的な底部コンタクト117は、電気めっきなどの技法を使用して金属層を付着させ共振子226の下側のウェル108の底面を覆うことによって形成される。

【0029】さらに先に述べたとおり、図6のMEMS共振子装置120はウェーハ表面と平行に振動し、先に説明したプロセスに基づいて構築された単結晶シリコン共振子の包含の改新である。

【0030】さらに先に述べたとおり、本明細書に記載した共振子構造の固有振動数を共振子へのイオン注入によって変更することができる。このような注入は、図11に関して先に説明したものと同一マスクを使用して実施することができ、図12に示したホウ素注入プロセス段階の後に実施することができる。このようなイオン注入を使用して共振子の弾性定数を2つの方法、すなわち (1) 材料の密度を変化させるか、または (2) 材料の内部結合構造を変化させることによって変更することができる。両端が支持された共振梁 (はり) の固有基本振動数を記述する一般式が、その内容が参照によって本明細書に組み込まれるP. M. モース (Morse) 著「Vibration and Sound」, McGrawHill Book Co., NewYork (19

48) の例えば第 4 章「The Vibration of Bars」で導き出されており、これは下式 (1) のように記述される。

【数 1】

$$\text{基本振動数} = K \frac{T}{L^2} \sqrt{\frac{Y}{\rho}} \quad (1)$$

【0031】上式で K は定数、T は梁の厚さ、L は梁の長さ、Y は梁の材料の弾性定数、 ρ は梁の材料の密度である。(次段のアニール後の) 共振子の振動数を変更する目的に使用することができるプロセスの例には以下のものが含まれる。

1) 炭素などの軽い中性原子のイオン注入はアニール後も共振子の単結晶構造をそのまま維持するが、共振子の密度を低下させ、したがってその固有振動数を高める。中性原子は化学的にシリコンに類似の原子であり、シリコンの結晶格子に直接に組み込むことができることを理解されたい。

2) ゲルマニウムなどの重い中性原子の注入は共振子の材料の密度を高め固有振動数を低下させ、

3) B、As、P などの置換型ドーパント原子はシリコンの局所的な結合を変化させ、さらに共振子の弾性定数に影響を与える。

【0032】共振子の厚さを薄くすることによって共振子の振動数を下げることができる。これは、一切の処理の前にシリコンを酸化し次いでエッチングして、表面シリコンの厚さを薄くすることによって簡単に実施することができる。

【0033】共振子の厚さを厚くすることによって共振子の振動数を高めることもできる。これは、その他の一切の処理の前にウェーハ上にシリコンをエピタキシャル成長させることによって実施することができる。

【0034】共振子構造上に何らかの材料を付着させ、その厚さを厚くすることによって共振子の振動数を高めることもできる。しかし、単結晶シリコン以外の材料は内部摩擦損をもたらし、装置性能を低下させる。

【0035】応用によっては帯域フィルタの幅が狭さることがある。この周波数幅は、シリコン原子を共振子の表面にイオン注入し、表面を部分的に多結晶またはアモルファス・シリコンに変換することによって増大させる(広げる)ことができる。

【0036】しかし先に述べたように、このような材料からの内部摩擦は装置の効率を低下させ、さらに固有振動数のひずみによって帯域通過を広げる。

【0037】本発明を、本発明の例示的な好ましい実施形態に関して具体的に図示し説明したが、形状および詳細の前記およびその他の変更を、添付の請求項の範囲によってのみ限定されるべき本発明の趣旨および範囲から逸脱することなくこれらの実施形態に実施することがで

きることを当業者は理解しよう。

【0038】まとめとして、本発明の構成に関して以下の事項を開示する。

【0039】(1) シリコン・オン・インシュレータ(SOI) 基板上に形成された単結晶シリコンの集積回路共振子装置を構築する方法であって、

a) 前記基板上に表面シリコン層および SiO₂ の中間層を形成する段階と、

b) 前記表面層において第 1 のマスク領域を開け、前記第 1 のマスク開口に対応する寸法を有する第 1 の導電構造を前記中間層の下の前記基板中に作成する段階と、

c) 前記第 1 の導電構造に対応する領域を横切って形成される共振子装置の寸法を有する第 2 のマスク領域を前記表面層において開け、前記共振子装置に対応する第 2 の導電構造を前記表面シリコン層中に作成する段階と、

d) 前記共振子装置を形成する前記導電構造の第 1 のエッジおよび反対側のエッジにそれぞれ接する前記シリコン表面層中の第 1 および第 2 のサブエリア、ならびに前記その他の 2 つの穴から間隔を置いて配置された第 3 のサブエリアの穴を含む第 3 のマスク領域を開ける段階であって、前記第 1、第 2 および第 3 のサブエリアが前記第 1 のマスク開口によって空間的に制限された寸法を有する段階と、

e) それぞれの前記第 1 および第 2 のサブエリアにおいて前記表面シリコン層を下方にエッチングして前記中間層を露出させる穴を形成し、前記第 3 のサブエリアにおいて前記表面シリコンおよび中間層をエッチングして前記第 1 の導電構造を露出させる穴を形成する段階と、

f) 前記第 1 の導電構造への信号入力を可能にするために前記第 3 のサブエリアにおいて形成された前記穴に導電性金属を付着させる段階と、

g) 前記第 1 および第 2 のサブエリアに形成されたそれぞれの前記穴における前記中間層を下方にエッチングして、前記第 2 の導電構造の両側および下方の前記中間層を除去し、前記第 1 の導電構造を露出させる段階を含み、

前記共振子装置を形成する前記第 2 の導電構造が全体的に前記シリコン層の表面と同じ高さにあるか、またはこれよりも下にあり、前記第 1 の導電構造における入力信号を前記共振子に容量結合することによって動作する方法。

(2) 前記基板中に第 1 の導電層を作成する段階 b) がイオン注入技法を実施する段階を含む、上記 (1) に記載の方法。

(3) 前記第 2 のマスク領域を開ける前記段階 c) が、前記第 1 の開口の両側の前記シリコン表面中の第 1 および第 2 の端部接触領域、ならびに前記端部領域の間に形成されこれらを接続する共振子領域を含む共振子構造を開ける段階を含む、上記 (1) に記載の方法。

(4) 前記共振子構造に対応する第 2 の導電層を前記表

面シリコン層中に作成する段階 c) がイオン注入技法を実施する段階を含む、上記 (1) に記載の方法。(5) 第 1 のマスク、第 2 のマスクおよび第 3 のマスクに開口を開ける前記段階 b) ~ d) がフォトリソグラフィ技法を実施する段階を含む、上記 (1) に記載の方法。

(6) 前記共振子装置の帯域通過周波数特性を変更するために前記第 2 の導電構造の密度を変化させる段階をさらに含む、上記 (1) に記載の方法。

(7) 前記共振子装置を形成する前記第 2 の導電構造の密度を変化させる前記段階が、前記共振子装置の材料の密度を下げ、前記共振子装置の帯域通過周波数特性を高くするために軽い中性原子をイオン注入する段階を含む、上記 (6) に記載の方法。

(8) 前記共振子装置を形成する前記第 2 の導電構造の密度を変化させる前記段階が、前記共振子装置の材料の密度を高め、前記共振子装置の帯域通過周波数特性を低くするために重い中性原子をイオン注入する段階を含む、上記 (6) に記載の方法。

(9) 前記第 2 の導電構造の内部結合構造を変化させて前記共振子装置の帯域通過周波数特性を変更するためにイオン注入技法を実施する段階をさらに含む、上記

(6) に記載の方法。

(10) 前記共振子装置の厚さを薄くし、前記共振子装置の帯域通過周波数特性を低くするために熱酸化およびエッチング技法を実施する段階をさらに含む、上記

(1) に記載の方法。

(11) 前記共振子装置の厚さを厚くし、前記共振子装置の帯域通過周波数特性を高くするためにエピタキシャル・シリコン成長技法を実施する段階をさらに含む、上記 (1) に記載の方法。

(12) 前記共振子装置の厚さを厚くし、前記共振子装置の帯域通過周波数特性を高くするために表面層を付着させる段階をさらに含む、上記 (1) に記載の方法。

(13) 前記集積回路共振子装置に後段の平坦化および金属被覆段階を実行する段階をさらに含む、上記 (1) に記載の方法。

(14) 前記集積回路共振子装置の帯域通過周波数特性を広げるため、前記共振子装置を多結晶シリコンまたはアモルファス・シリコンのいずれかに変換することを可能にするためにシリコン原子のイオン注入段階をさらに含む、上記 (1) に記載の方法。

(15) a) その上に形成された上部表面シリコン層および SiO_2 の中間層を含む基板と、

b) 入力電気信号を受け取るために前記表面シリコン層において形成された導電コンタクトと、

c) 前記シリコン表面中に形成され、前記入力コンタクトを接続した底面導電層を有する開いたウェル構造と、

d) 前記表面シリコン層において形成され、前記ウェル構造を横切って位置する共振子構造を含み、前記共振子装置を所望の振動数で垂直方向に振動させることを可能

にするため、入力信号が前記底面導電層から前記共振子構造に容量結合される集積回路帯域フィルタ装置。

(16) 前記共振子構造が、前記開いたウェル構造の一方の側の表面に形成され、入力信号を前記所望の振動数でさらに伝搬させる第 1 の導電コンタクトを含む、上記 (14) に記載の装置。

(17) 前記共振子構造が、前記開いたウェル構造の反対側の表面に形成され、前記共振子構造を加熱しその振動数を変化させるための電気的刺激の注入を可能にする第 2 の導電コンタクトを含む、上記 (15) に記載の装置。

(18) 前記共振子構造が、帯域通過周波数を変更するために炭素原子、ゲルマニウム、ホウ素およびヒ素を含むグループから選択された 1 種の材料を含む、上記 (15) に記載の装置。

(19) a) その上に形成された上部表面シリコン層および SiO_2 の中間層を含む基板と、

b) 前記表面シリコン層中に形成された開いたウェル構造と、

c) 入力電気信号を受け取るために前記開いたウェル構造層の一方の端の近くの前記表面シリコン層に形成された導電性コンタクトであって、前記開いたウェル構造の上に延びる前記表面シリコン層のコンタクト部分を含むコンタクトと、

d) 前記表面シリコン層において形成され、前記コンタクト延長部分の近くで前記ウェル構造を横切って位置する共振子構造を含み、前記共振子装置を所望の振動数で水平方向に振動させることを可能にするため、入力信号が前記コンタクト延長部分から前記共振子構造に容量結合される集積回路帯域フィルタ装置。

(20) 前記共振子構造が、前記開いたウェル構造の一方の側の表面に形成され、入力信号を前記所望の振動数でさらに伝搬させる第 1 の導電コンタクトを含む、上記 (18) に記載の装置。

(21) 前記共振子構造が、前記開いたウェル構造の反対側の表面に形成され、前記共振子構造を加熱しその振動数を変化させるための電気的刺激の注入を可能にする第 2 の導電コンタクトを含む、上記 (19) に記載の装置。

(22) 前記共振子構造が、帯域通過周波数を変更するために炭素原子、ゲルマニウム、ホウ素およびヒ素を含むグループから選択された 1 種の材料を含む、上記 (19) に記載の装置。

(23) シリコン・オン・インシュレータ (SOI) 基板上に形成された単結晶シリコンの集積回路共振子装置を構築する方法であって、

a) 前記基板上に上部表面シリコン層および SiO_2 の中間層を形成する段階と、

b) 形成する共振子装置の寸法を有する第 1 のマスク領域を前記表面層において開け、前記共振子装置に対応す

る導電構造を前記表面シリコン層中に作成する段階と、
c) 前記共振子装置を形成する前記導電構造の第 1 のエッジおよび反対側のエッジにそれぞれ接する前記シリコン表面層中の第 1 および第 2 のサブエリアを含む第 2 のマスク領域を開ける段階と、

d) 前記第 1 および第 2 のサブエリアにおける前記表面シリコン層および前記中間層を下方にエッチングして、前記導電構造の両側および下方の前記中間層を除去し、ウェル構造を形成する段階と、

e) 前記導電構造の下の前記ウェル構造の底面に金属層を付着させることによってコンタクトを形成する段階を含み、
前記共振子装置が全体的に前記シリコン層の表面と同じ高さにあるか、またはこれよりも下にあり、前記第 1 の導電構造における入力信号を前記共振子に容量結合することによって動作する方法。

(24) 前記共振子装置の帯域通過周波数特性を変更するために前記第 2 の導電構造の密度を変化させる段階をさらに含む、上記(23)に記載の方法。

(25) 前記共振子装置を形成する前記第 2 の導電構造の密度を変化させる前記段階が、前記共振子装置の材料の密度を下げ、前記共振子装置の帯域通過周波数特性を高くするために軽い中性原子をイオン注入する段階を含む、上記(24)に記載の方法。

(26) 前記共振子装置を形成する前記第 2 の導電構造の密度を変化させる前記段階が、前記共振子装置の材料の密度を高め、前記共振子装置の帯域通過周波数特性を低くするために重い中性原子をイオン注入する段階を含む、上記(24)に記載の方法。

(27) 前記第 2 の導電構造の内部結合構造を変化させて前記共振子装置の帯域通過周波数特性を変更するためにイオン注入技法を実施する段階をさらに含む、上記(23)に記載の方法。

(28) 前記共振子装置の厚さを薄くし、前記共振子装置の帯域通過周波数特性を低くするために熱酸化およびエッチング技法を実施する段階をさらに含む、上記(23)に記載の方法。

(29) 前記共振子装置の厚さを厚くし、前記共振子装置の帯域通過周波数特性を高くするためにエピタキシャル・シリコン成長技法を実施する段階をさらに含む、上記(23)に記載の方法。

(30) 前記共振子装置の厚さを厚くし、前記共振子装置の帯域通過周波数特性を高くするために表面層を付着させる段階をさらに含む、上記(23)に記載の方法。

(31) 前記集積回路共振子装置に後段の平坦化および金属被覆段階を実行する段階をさらに含む、上記(23)に記載の方法。

(32) 前記集積回路共振子装置の帯域通過周波数特性を広げるため、前記共振子装置を多結晶シリコンまたはアモルファス・シリコンのいずれかに変換することを可

能にするためにシリコン原子のイオン注入段階をさらに含む、上記(23)に記載の方法。

【図面の簡単な説明】

【図 1】浮遊共振子設計の従来型 MEMS 帯域フィルタ装置の概略図である。

【図 2】埋込みプレーナ入力コンタクトを有するように製作された本発明の第 1 の実施形態に基づく MEMS 帯域フィルタの等角図である。

【図 3】この同じ装置の側面図である。

【図 4】くぼんだウェル内に入力コンタクトを有するように製作された本発明の第 2 の実施形態に基づく MEMS 帯域フィルタの等角図である。

【図 5】この同じ装置の側面図である。

【図 6】共振子を水平振動させる入力コンタクトを有するように製作された本発明の第 3 の実施形態に基づく MEMS 帯域フィルタの等角図である。

【図 7】この同じ装置の側面図である。

【図 8】装置の製作プロセス中の最初の構造を示す図である。

【図 9】装置の構築時に使用するマスクを示す図である。

【図 10】装置の製作プロセス中の中間構造を示す図である。

【図 11】装置の構築時に使用するマスクを示す図である。

【図 12】装置の製作プロセス中の中間構造を示す図である。

【図 13】装置の構築時に使用するマスクを示す図である。

【図 14】装置の製作プロセス中の中間構造を示す図である。

【図 15】装置の構築時に使用するマスクを示す図である。

【図 16】装置の製作プロセス中の中間構造を示す図である。

【図 17】装置の構築時に使用するマスクを示す図である。

【図 18】装置の製作プロセスの最終的な構造を示す図である。

【符号の説明】

10 従来の MEMS 帯域フィルタ装置

11 半導電性共振子構造

12 導電性プレーナ入力構造

13 コンタクト

100 新規な共振子型 MEMS 帯域フィルタ装置

101 共振子

102 底部プレーナ・コンタクト

103 入力コンタクト

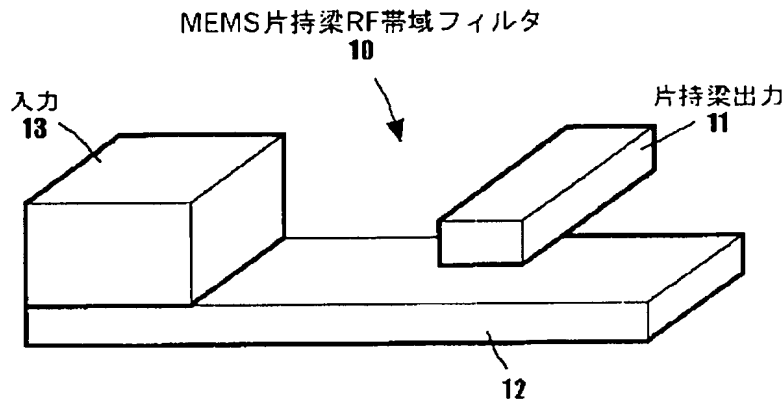
104 調整パッド

105 出力パッド

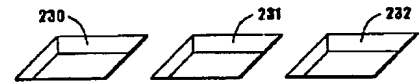
108 ウェル
 110 新規な共振子型MEMS帯域フィルタ装置
 111 共振子
 117 金属コンタクト
 120 新規な共振子型MEMS帯域フィルタ装置
 121 共振子
 129 入力コンタクト
 130 入力コンタクトの延長部分
 200 SOIウェーハ
 202 表面シリコン層
 212 SiO₂中間層
 222 シリコン基板

223 フォトレジスト層
 224 埋込み導電層 (n⁺リン層)
 225 長方形開口
 226 共振子 (ホウ素注入領域)
 227 電気コンタクト
 228 電気コンタクト
 230 長方形開口
 231 長方形開口
 232 長方形開口
 233 長方形開口
 234 金属コンタクト
 235 第2の開口

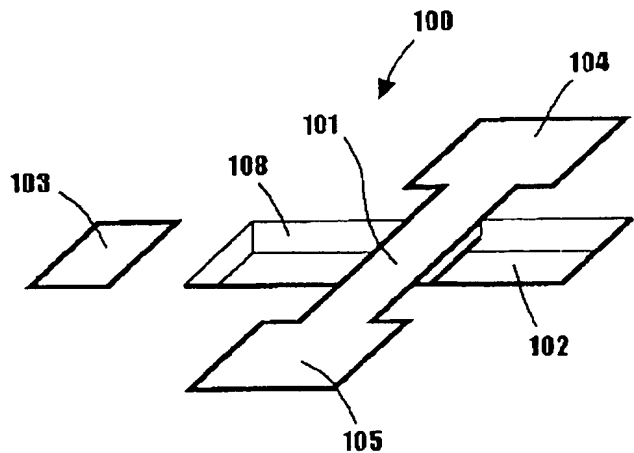
【図1】



【図13】

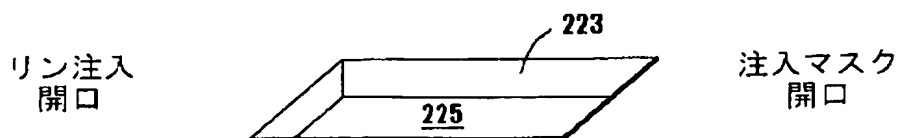


【図2】

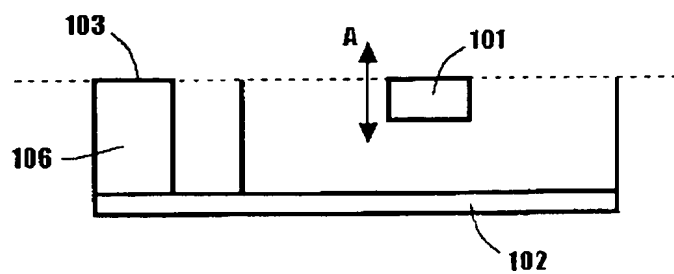


等角図

【図9】

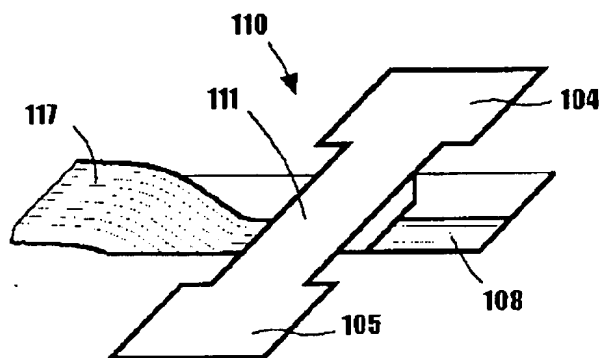


【図 3】



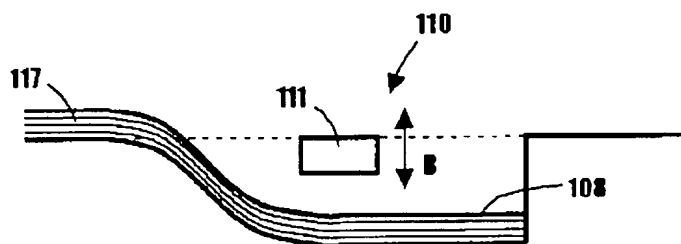
側面図

【図 4】



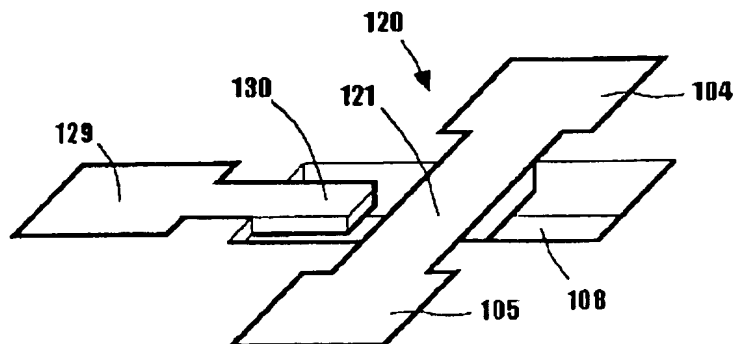
等角図

【図 5】



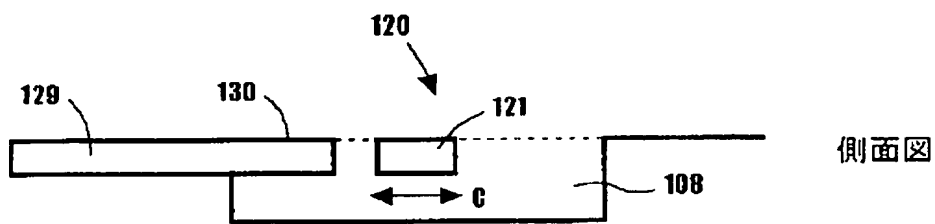
側面図

【図 6】

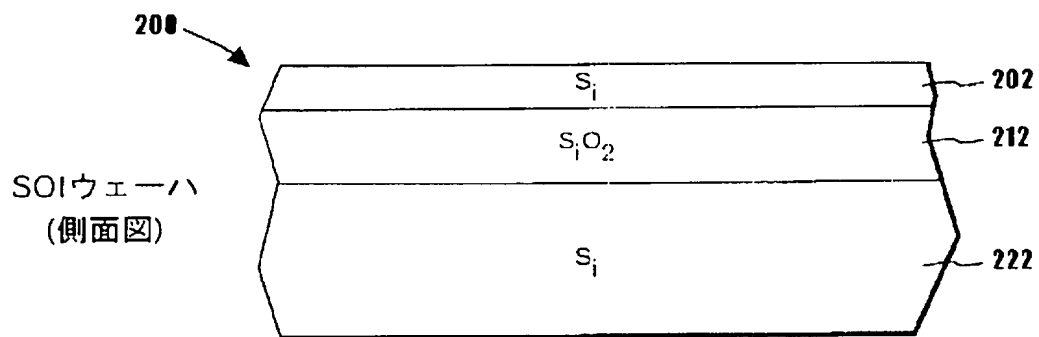


等角図

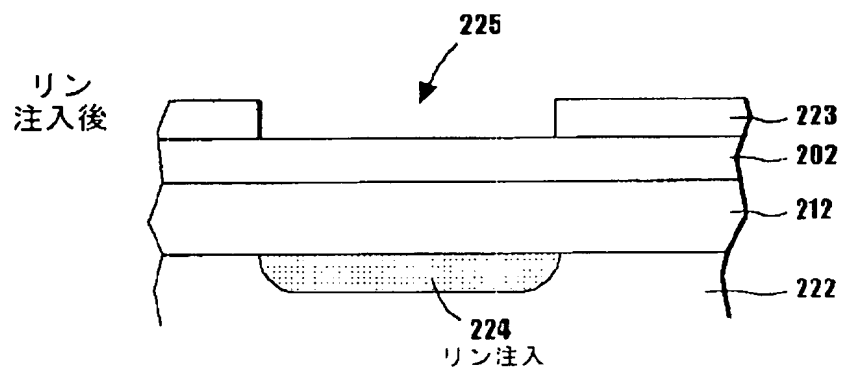
【図7】



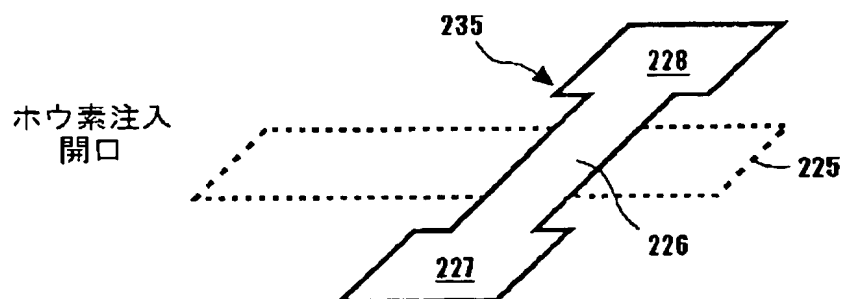
【図8】



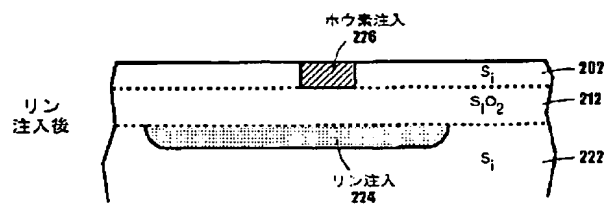
【図10】



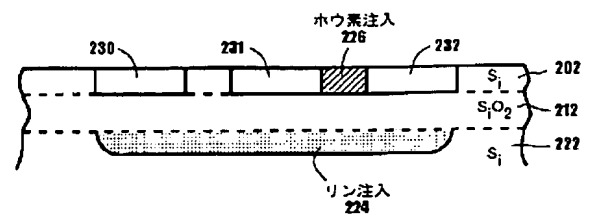
【図11】



【図 12】

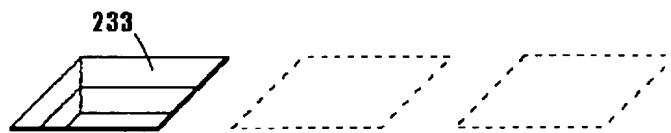


【図 14】

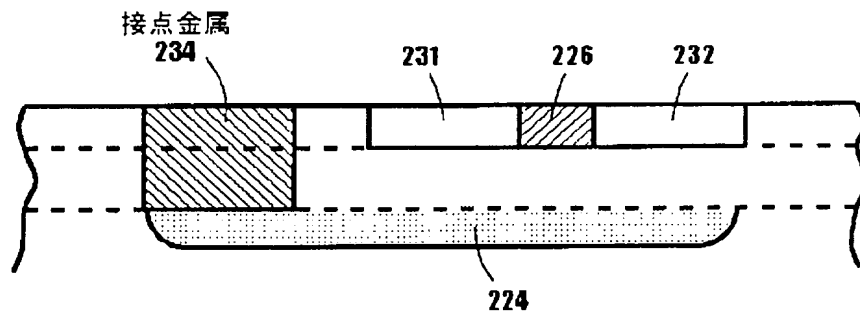


【図 15】

エッチング・マスク



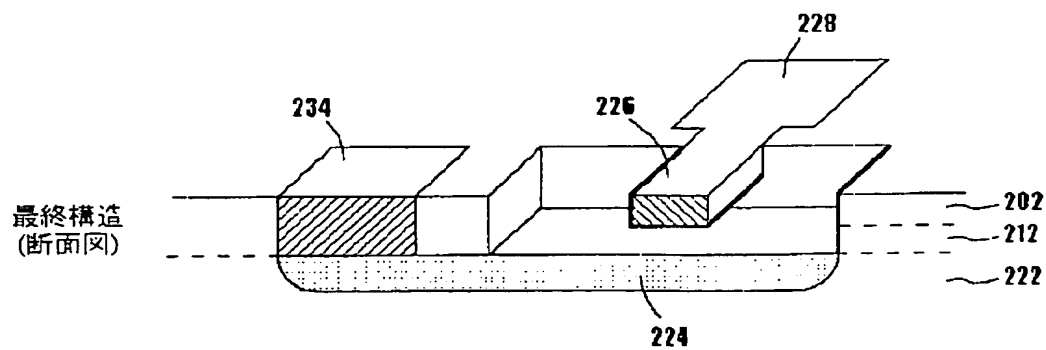
【図 16】



【図 17】



【図 18】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:



BLACK BORDERS

- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.